

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Isao TOTTORI)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: June 27, 2003)	Confirmation No.: Unassigned
)	
For: INTEGRATED CIRCUIT DEVICE AND)	
ELECTRONIC DEVICE)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign applications in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2002-221706
Filed: July 30, 2002

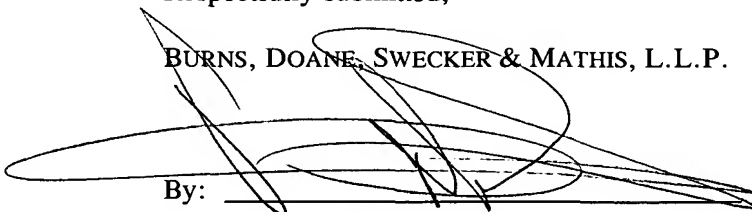
Japan Patent Application No. 2003-031130
Filed: February 7, 2003

In support of this claim, enclosed are certified copies of said prior foreign applications. Said prior foreign applications were referred to in the oath or declaration. Acknowledgment of receipt of the certified copies is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: June 27, 2003

By: 
Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : July 30, 2002

Application Number : Japanese Patent Application No. 2002-221706

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 30th day of August, 2002

Commissioner,

Japan Patent Office Shinichiro OTA

Certificate No. 2002-3067141

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月30日

出 願 番 号

Application Number:

特願2002-221706

[ST.10/C]:

[JP2002-221706]

出 願 人

Applicant(s):

三菱電機株式会社

2002年 8月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3067141

【書類名】 特許願

【整理番号】 540043JP01

【提出日】 平成14年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/90

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 鳥取 功

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100066474

 【弁理士】

 【氏名又は名称】 田澤 博昭

【選任した代理人】

 【識別番号】 100088605

 【弁理士】

 【氏名又は名称】 加藤 公延

【手数料の表示】

 【予納台帳番号】 020640

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 薄膜化された基板上に形成された集積回路と、
導電性の材料によって形成され、上記基板および上記集積回路を貫通するよう
に形成された複数の接続抗と、
上記基板の裏面に形成された絶縁体とを備えた半導体装置。

【請求項 2】 薄膜化されたシリコン基板上に形成された記憶回路またはロ
ジック回路等の集積回路と、
導電性の材料によって形成され、上記シリコン基板および上記集積回路を貫通
するように形成された複数の接続抗と、
上記接続抗同士が短絡しないように上記シリコン基板の裏面に形成された絶縁
膜とを備えた半導体装置。

【請求項 3】 絶縁膜の厚さを 3 n m 以上にしたことを特徴とする請求項 2
記載の半導体装置。

【請求項 4】 シリコン基板の厚さを 1 0 0 μ m 以下に薄膜化したことを特
徴とする請求項 2 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、積層した複数の半導体装置間を電氣的に接続する接続抗を有する
半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

図 3 は従来の半導体装置を示す断面図であり、図において、1 は薄膜化された
シリコン基板、2 はシリコン基板 1 上に形成された集積回路、3 はシリコン基板
1 および集積回路 2 を貫通するように形成された複数の接続孔、4 は導電性の材
料によって形成され、それら複数の接続孔 3 にそれぞれ形成された接続抗である

【 0 0 0 3 】

次に動作について説明する。

図 3 に示したような半導体装置は、図に示す半導体装置を複数積層することで、高集積化と機能の集約とを図るようにしたものである。そして、接続抗 4 は、複数の半導体装置を積層する場合に、複数の半導体装置間を電氣的に接続するために設けられたものである。

図 3 に示した半導体装置の製造工程は、シリコン基板 1 上に、集積回路 2 を形成しながら、必要に応じた集積回路 2 を接続するように接続孔 3 および接続抗 4 を形成していく。

次に、シリコン基板 1 を裏面から薄膜化する。

さらに、複数の半導体装置の接続抗 4 同士を接続しながら、複数の半導体装置を 3 次元的に積層する。

【 0 0 0 4 】

【発明が解決しようとする課題】

従来の半導体装置は以上のように構成されているので、薄膜化されたシリコン基板 1 の裏面は導電性を有しており、そのシリコン基板 1 の裏面において、接続抗 4 同士が電氣的に短絡してしまう。

このことは、半導体装置の特性を劣化させ、高集積化の妨げになるなどの課題があった。

【 0 0 0 5 】

この発明は上記のような課題を解決するためになされたもので、特性を良好にし、一層の高集積化を可能にする半導体装置を得ることを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

この発明に係る半導体装置は、基板および集積回路を貫通するように形成された複数の接続抗と、基板の裏面に形成された絶縁体とを備えたものである。

【 0 0 0 7 】

この発明に係る半導体装置は、シリコン基板および集積回路を貫通するように形成された複数の接続抗と、接続抗同士が短絡しないようにシリコン基板の裏面

に形成された絶縁膜とを備えたものである。

【 0 0 0 8 】

この発明に係る半導体装置は、絶縁膜の厚さを 3 n m 以上にしたものである。

【 0 0 0 9 】

この発明に係る半導体装置は、シリコン基板の厚さを 1 0 0 μ m 以下に薄膜化したものである。

【 0 0 1 0 】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態 1.

図 1 はこの発明の実施の形態 1 による半導体装置を示す断面図であり、図において、1 は薄膜化されたシリコン (S i) 基板、2 は基板 1 上に形成された記憶回路またはロジック回路等の集積回路、3 は基板 1 および集積回路 2 を貫通するように形成された複数の接続孔、4 は銅 (C u) 等の導電性の材料によって形成され、それら複数の接続孔 3 にそれぞれ形成された接続抗である。

1 2 は接続抗 4 同士が短絡しないように薄膜化された基板 1 の裏面に形成されたエポキシ樹脂やポリイミド等の絶縁性樹脂 (絶縁体) である。

【 0 0 1 1 】

次に動作について説明する。

図 1 に示したような半導体装置は、図に示す半導体装置を複数積層することで、高集積化と機能の集約とを図るようにしたものである。そして、接続抗 4 は、複数の半導体装置を積層する場合に、複数の半導体装置間を電氣的に接続するために設けられたものである。

図 1 に示した半導体装置の製造工程は、基板 1 上に、集積回路 2 を形成しながら、必要に応じて集積回路 2 内の記憶回路またはロジック回路等を接続するように接続孔 3 および接続抗 4 を形成していく。

次に、基板 1 を裏面から薄膜化する。これは、半導体装置を薄膜化して、複数の半導体装置を 3 次元的に積層しても所定の厚さ以内にするためである。

次に、薄膜化された基板 1 の裏面に、絶縁性樹脂 1 2 を形成する。このことに

よって、接続抗 4 同士が電氣的に短絡しないようになる。

さらに、複数の半導体装置の接続抗 4 同士を接続しながら、複数の半導体装置を 3 次元的に積層する。

【 0 0 1 2 】

以上のように、この実施の形態 1 によれば、薄膜化された基板 1 の裏面は導電性を有しているが、薄膜化された基板 1 の裏面に絶縁性樹脂 1 2 を形成することにより、複数の接続抗 4 同士が短絡することを防ぐことができ、半導体装置の特性を良好にし、一層の高集積化を可能にすることができる。

【 0 0 1 3 】

実施の形態 2.

図 2 はこの発明の実施の形態 2 による半導体装置を示す断面図であり、図において、1 は薄膜化されたシリコン (S i) 基板、2 はシリコン基板 1 上に形成された記憶回路またはロジック回路等の集積回路、3 はシリコン基板 1 および集積回路 2 を貫通するように形成された複数の接続孔、4 は銅 (C u) 等の導電性の材料によって形成され、それら複数の接続孔 3 にそれぞれ形成された接続抗である。

1 3 は接続抗 4 同士が短絡しないように薄膜化されたシリコン基板 1 の裏面に形成された二酸化シリコン膜 (絶縁膜) である。

【 0 0 1 4 】

次に動作について説明する。

図 2 に示した半導体装置の製造工程は、シリコン基板 1 上に、集積回路 2 を形成しながら、必要に応じて集積回路 2 内の記憶回路またはロジック回路等を接続するように接続孔 3 および接続抗 4 を形成していく。

次に、シリコン基板 1 を裏面から薄膜化する。これは、半導体装置を薄膜化して、複数の半導体装置を 3 次元的に積層しても所定の厚さ以内にするためである。

次に、薄膜化されたシリコン基板 1 の裏面に、二酸化シリコン膜 1 3 を形成する。このことによって、接続抗 4 同士が電氣的に短絡しないようになる。

さらに、複数の半導体装置の接続抗 4 同士を接続しながら、複数の半導体装置

を 3 次元的に積層する。

【 0 0 1 5 】

以上のように、この実施の形態 2 によれば、薄膜化されたシリコン基板 1 の裏面は導電性を有しているが、薄膜化されたシリコン基板 1 の裏面に二酸化シリコン膜 1 3 を形成することにより、複数の接続抗 4 同士が短絡することを防ぐことができ、半導体装置の特性を良好にし、一層の高集積化を可能にすることができる。

【 0 0 1 6 】

なお、上記実施の形態 1 および上記実施の形態 2 において、絶縁性樹脂 1 2 あるいは二酸化シリコン膜 1 3 の厚さを 3 n m 以上にすれば、接続抗 4 同士が短絡することを確実に防ぐことができる。

また、上記実施の形態 1 および上記実施の形態 2 において、シリコン基板 1 の厚さを 1 0 0 μ m 以下に薄膜化すれば、半導体装置自体を薄型化することができ、より多数の半導体装置の積層を可能にすることができる。

【 0 0 1 7 】

【発明の効果】

以上のように、この発明によれば、基板および集積回路を貫通するように形成された複数の接続抗と、基板の裏面に形成された絶縁体とを備えるように構成したので、絶縁体により複数の接続抗同士が短絡することを防ぐことができ、半導体装置の特性を良好にし、一層の高集積化を可能にすることができる効果がある。

【 0 0 1 8 】

この発明によれば、シリコン基板および集積回路を貫通するように形成された複数の接続抗と、接続抗同士が短絡しないようにシリコン基板の裏面に形成された絶縁膜とを備えるように構成したので、絶縁膜により複数の接続抗同士が短絡することを防ぐことができ、半導体装置の特性を良好にし、一層の高集積化を可能にすることができる効果がある。

【 0 0 1 9 】

この発明によれば、絶縁膜の厚さを 3 n m 以上にするように構成したので、接

続抗同士が短絡することを確実に防ぐことができる効果がある。

【 0 0 2 0 】

この発明によれば、シリコン基板の厚さを $100\mu\text{m}$ 以下に薄膜化したので、半導体装置自体を薄型化することができ、より多数の半導体装置の積層を可能にすることができる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による半導体装置を示す断面図である。

【図 2】 この発明の実施の形態 2 による半導体装置を示す断面図である。

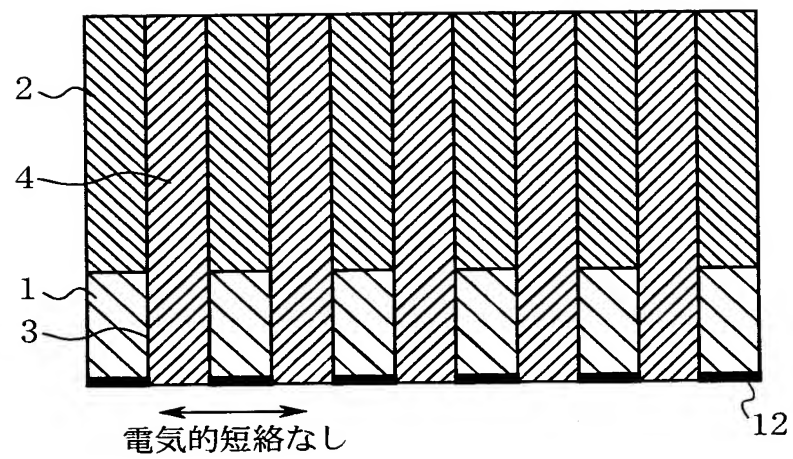
【図 3】 従来の半導体装置を示す断面図である。

【符号の説明】

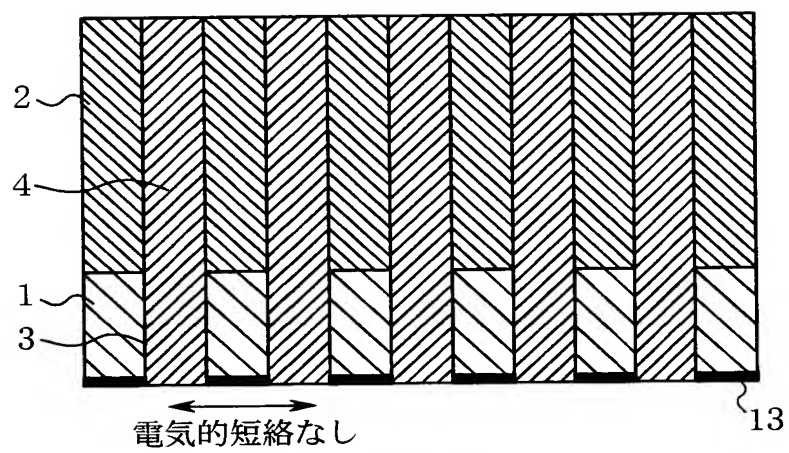
1 シリコン基板、 2 集積回路、 3 接続孔、 4 接続抗、 1 2 絶縁性樹脂（絶縁体）、 1 3 二酸化シリコン膜（絶縁膜）。

【書類名】 図面

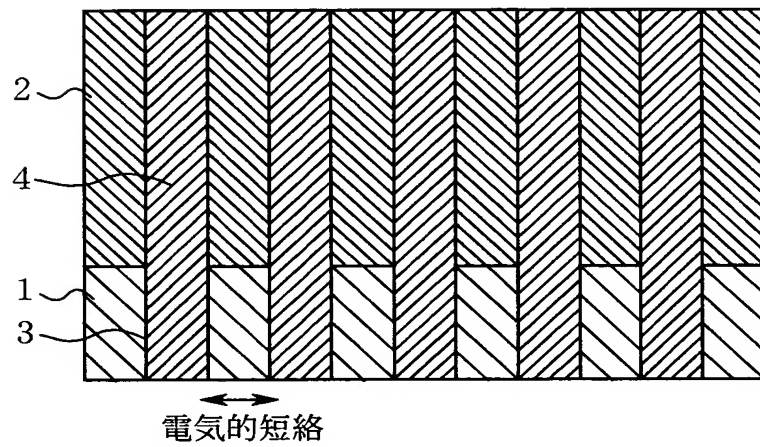
【図 1】



【図 2】



【图 3】



【書類名】 要約書

【要約】

【課題】 特性を良好にし、一層の高集積化を可能にする半導体装置を得る。

【解決手段】 薄膜化されたシリコン基板 1 上に形成された記憶回路またはロジック回路等の集積回路 2 と、導電性の材料によって形成され、シリコン基板 1 および集積回路 2 を貫通するように形成された複数の接続抗 4 と、接続抗 4 同士が短絡しないようにシリコン基板 1 の裏面に形成された二酸化シリコン膜 1 3 とを備え、複数の接続抗 4 同士が短絡することを防ぐことができ、半導体装置の特性を良好にし、一層の高集積化を可能にする。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社